

一种应用于软件定义互连系统的 多协议 SerDes 电路

李沛杰¹, 沈剑良¹, 苑红晓², 王永胜³, 夏云飞³, 张传波¹

(1. 中国人民解放军战略支援部队信息工程大学, 河南郑州 450002; 2. 32125 部队, 山东济南 250100;
3. 天津市滨海新区信息技术创新中心, 天津 300457)

摘要: 为满足片上系统的柔性互连, 提出一种应用于软件定义互连系统的 1.0625 ~ 10.3125 Gbps 多协议 SerDes 电路结构. 该电路采用统一架构实现不同协议的规范需求, 通过一种 $1 \times \text{QPLL} + 4 \times \text{Lane PLL}$ 的时钟结构实现宽频点和低抖动的时钟输出, 通过可编程的发送端前向反馈均衡器和接收端线性均衡器和判决反馈均衡器电路, 实现最大 32 dB 的插损补偿. 测试结果表明, 所设计的 SerDes 电路在 10.3125 Gbps 速率下发送总抖动为 21.2 ps, 随机抖动均方根值为 633.7 fs, 最大功耗 29.33 mW/Gbps, 发送端眼图和接收端抖动容限及误码率均能够满足 FC-PI-4, RapidIO 3.0, 10GBase-KR, 1000Base-X 的协议规范要求.

关键词: 软件定义互连; SerDes; 时钟数据恢复; 锁相环; 高速串行收发器; 数模混合电路

中图分类号: TP302 **文献标识码:** A **文章编号:** 0372-2112(2021)04-0817-07

电子学报 URL: <http://www.ejournal.org.cn> **DOI:** 10.12263/DZXB.20200149

A Multi-Protocol SerDes Circuit for the Applications in Software Defined Interconnection System

LI Pei-jie¹, SHEN Jian-liang¹, YUAN Hong-xiao², WANG Yong-sheng³, XIA Yun-fei³, ZHANG Chuan-bo¹

(1. Information Engineering University, Zhengzhou, Henan 450002, China; 2. Troop 32125, Jinan, Shandong 250100, China;
3. Information Technology Innovation Center of Tianjin Binhai New Area, Tianjin 300457, China)

Abstract: In order to meet the application requirements of flexible interconnection in system on chip (SoC), a 1.0625 ~ 10.3125 Gbps multi-protocol SerDes circuit for software defined interconnection (SDI) system is proposed. The circuit uses a unified architecture to meet the requirements of different protocols. A $1 \times \text{QPLL} + 4 \times \text{Lane PLL}$ structure is implemented to achieve the broadband data rate and the low jitter output. The 32 dB channel loss compensation is achieved by programmable feed forward equalizer (FFE), continuous time linear equalizer (CTLE) and decision feedback equalizer (DFE) circuits. The output measures 21.2 ps total jitter (TJ) and 633.7 fs random jitter (RJ) RMS. The power efficiency of the test chip is 29.33 mW/Gbps at 10.3125 Gbps. The output eye pattern of the transmitter, the jitter tolerance and the bit error rate of the receiver can meet the protocol specifications of FC-PI-4, RapidIO 3.0, 10GBase-KR and 1000Base-X.

Key words: software defined interconnection (SDI); SerDes; clock data recovery (CDR); phase locked loop (PLL); transceiver; mixed-signal integrated circuit

1 引言

以软件定义互连和软件定义处理为特征的软件定义体系结构^[1]是当前破除刚性互连, 兼顾系统灵活性和高效能的新一代网络体系. 多协议 SerDes 电路作为支撑该网络柔性互连的关键电路, 已经成为存储或计算节点互连、嵌入式互连、网络互连等的重要组成部分

分^[2]. 现有的数据通信系统呈现出异构协议融合互连的特性, SerDes 电路的设计必须兼顾系统应用灵活性和 SoC 芯片集成所必需的低功耗、小面积和鲁棒性要求. 应用于软件定义互连系统的多协议 SerDes 电路需兼顾多频点、不同传输环境及不同电气特性的需求, 因此统一架构的时钟网络设计、CDR 电路的可靠锁定及自适应均衡成为必须解决的难题.

当前诸多设计对兼容多协议的高速 SerDes 电路结构进行了研究^[3-14]. 文献[6~10]针对不同的频率范围和应用需求,在多协议 SerDes 的统一架构设计上采用不同的方式,具有较大的参考价值,其中文献[8~10]均通过详细分析多协议物理层(PHY)规范的特性,整理多协议 SerDes 收发通路的设计需求,然后按照统一的架构进行兼容性设计,但因为各自设计所覆盖的频率变化范围较小,PHY 层规范类似,因此应用范围依然受限;文献[11]针对 FPGA 的应用设计了一种覆盖 2.488~11.2Gbps 宽速率范围的多协议高速 SerDes 电路,其充分考虑了宽频点带来的电路开销,具有一定的代表性. 文献[12~14]分别针对 CDR,时钟架构设计及结构优化对高性能 SerDes 电路的抖动,面积,功耗,补偿能力等进行综合优化.

本文主要针对软件定义互连系统的应用需求,参照文献[8~14]的思想,按照 FC-PI-4, RapidIO 3.0,

10GBase-KR, 1000Base-X 协议规范及多频点的需求,在时钟结构上提出一种 $1 \times \text{QPLL} + 4 \times \text{Lane PLL}$ 的时钟结构,通过参考时钟选择及高速时钟输出控制,满足多协议 SerDes 的混合协议,混合速率下的宽频点输出;在发送侧采用一种双路驱动 Buffer MUX 的架构,以实现不同 PVT 条件下的最优效能;在接收侧提出一种数字频偏检测电路确保满足应用需求的 CDR 可靠锁定;在均衡电路设计上,为满足 32dB 的插损补偿能力,采用典型的收发侧均衡电路的自适应均衡策略实现收发电路的动态补偿,同时结合软件的配置实现低功耗的动态调节.

2 多协议 SerDes 结构分析

本文所要设计的多协议 SerDes 电路需要满足 FC-PI-4, RapidIO 3.0, 10GBase-KR, 1000Base-X 等协议的 PHY 层规范要求,如表 1 所示显示了各协议及本文所设计的多协议 SerDes 的需求.

表 1 多协议 SerDes 设计需求

规范	FC-PI-4	RapidIO 3.0	10GBase-KR	1000Base-X	多协议需求
Baud Rate (GBaud)	1.0625/2.125/4/25/8.5	1.25/2.5/3/125/5/6.25/10.3125	10.3125	1.25	1.0625~10.3125
传输特性	N/A	100cm + 2 connectors	85cm + 2 connectors	N/A	~32dB
发送总抖动 (UI)	0.33	0.35	0.32	0.35	0.32
接收抖动容限 (UIpp)	0.62	0.65	0.62	0.65	0.65
误码率	10^{-12}	10^{-12}	10^{-12}	10^{-12}	10^{-12}
应用模式	1 ×	1 × / 2 × / 4 ×	1 ×	1 ×	1 × + 1 × + 1 × + 1 × 2 × + 1 × + 1 × 2 × + 2 × 4 ×
并行接口位宽 (bit)	40	20/40	32	10	10/16/20/32/40

如图 1 所示为所设计的多协议高速 SerDes 电路的结构框图. 整个电路由 4 个完全一致的通道 Lane 及一个时钟电路组成,其中 Lane 由发送电路 TX 和接收电路 RX 组成;时钟电路由 1 个全局 PLL 电路 QPLL 和对应 4 个 Lane 的通道 PLL 电路 LanePLL 组成, $4 \times \text{Lane PLL} + 1 \times \text{QPLL}$ 的时钟结构统一参考时钟下多频点高速时钟的灵活输出.

3 多协议 SerDes 关键电路设计

3.1 时钟结构设计

为兼顾应用的灵活性和面积开销,本文所设计的多协议 SerDes 在时钟结构上采用了 $4 \times \text{Lane PLL} + 1 \times \text{QPLL}$ 的架构,这种架构相比于 $4 \times \text{Lane PLL}$ 架构的时钟电路,在结构上增加一个 QPLL,但是将单独 PLL 的电路结构由需支持多环路的小数分频结构简化为单环路设计,而将多频点设计的难点放转移参考时钟源

的选择上,从而从架构上降低了设计难度. Lane PLL 和 QPLL 均采用相噪比表现相对较差的 Ring-Based Half-Rate 锁相环电路,整数分频则能够弥补部分的相噪损失,同时在相噪满足协议要求的前提下也对功耗做了平衡.

满足多协议 SerDes 应用需求的 4 通道速率可分为四个速率组:速率组一:1.0625/2.125/4.25/8.5Gbps;速率组二:1.25/2.5/5Gbps;速率组三:3.125/6.25Gbps;速率组四:10.3125Gbps. 基于外部输入的 156.25MHz 时钟在实现速率组一时为实现整数的倍频关系,需利用 QPLL 生成 125MHz 的参考时钟供 Lane PLL 输入使用.

考虑 RapidIO 多通道绑定的需求,在 $n \times (n > 1)$ 时要求发送高速串行时钟同源,因此在时钟结构上对高速时钟进行 MUX 设计,当工作在 $4 \times$ 模式时, Lane0~3 时钟均来源于 QPLL;当工作在 $2 \times + 2 \times$ 模式时, Lane0~

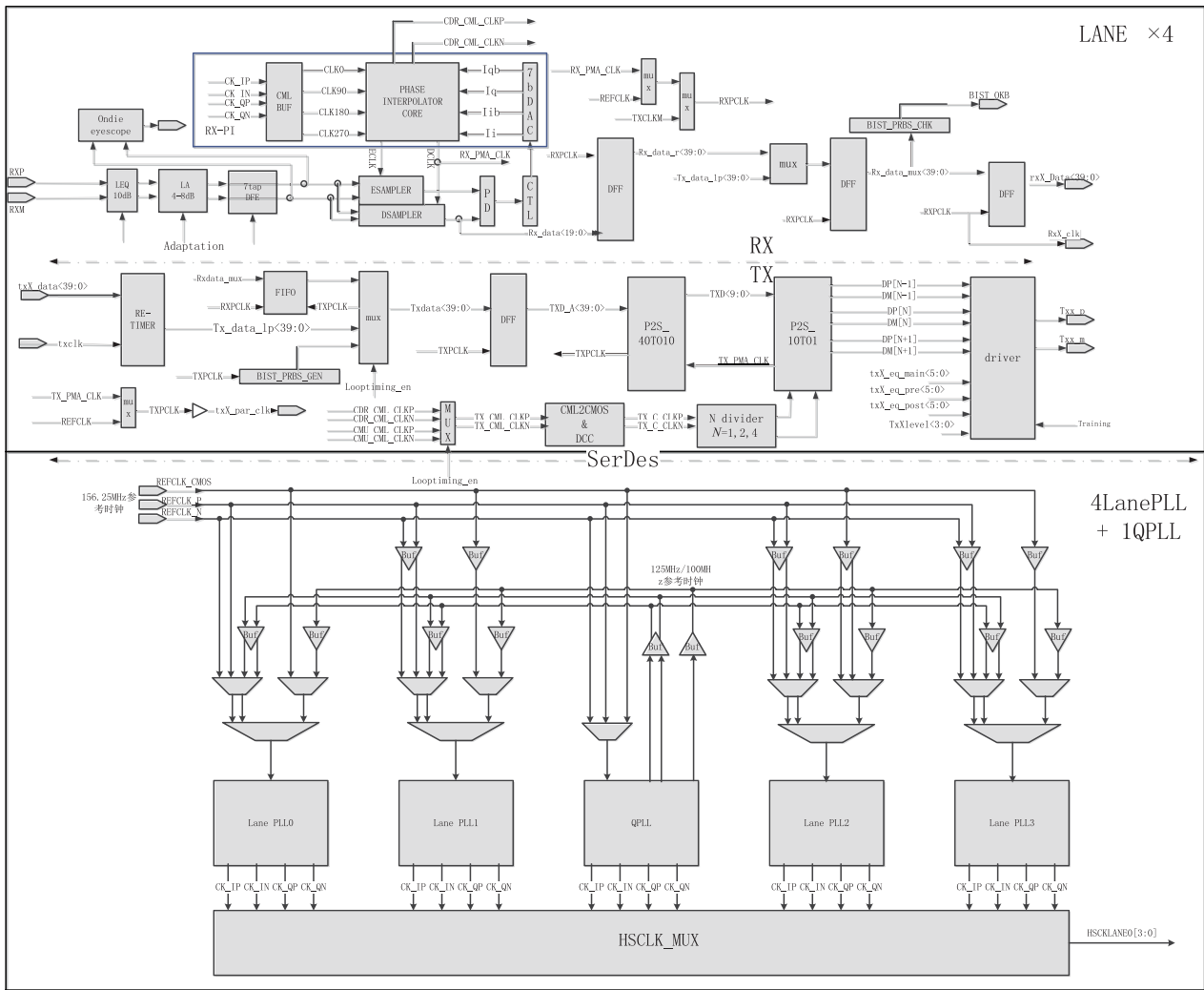


图1 多协议SerDes 电路结构框图

1 时钟来源于 Lane PLL0, Lane2 ~ 3 时钟来源于 Lane PLL2;当工作在 1x 时, Lane N 时钟来源于 Lane PLL N. 考虑到低电压低功耗 CMOS 工艺在全工艺角下的覆盖难度,尤其在低温低压下,电路驱动能力随之下降,若不采用高驱动能力的器件,将难以满足时序要求,但高驱动能力器件的替换带来的是功耗的增加,因此在高速时钟的 MUX 电路中,设计了两路不同驱动能力的 Buffer MUX 电路,通过速率配置的不同,选择对应驱动能力的高速时钟通路,同时对另一通路进行 power down 管理.

3.2 发送器结构设计

发送器电路包括了串化器和驱动电路. 其中串化器采用 40:10,10:1 的串化模式,发送侧的 40bit 数据经过 40:10,10:5,5:1 实现并行数据的串行化,为兼容多协议的不同位宽,需要基于固定的串化器结构调整不同发送数据的位置,电路采用了多级并行串化的结构,以便最大限度的减小转换时延,并实现串化器的多种并行位宽灵活配置.

为降低功耗,在发送驱动电路中,采用了带 3-tap 预加重电路的电压模驱动 SST 电路,SST 驱动电路的功耗主要集中在动态功耗,这使得功耗会随发送的速率大小而动态改变,但在面积上会有较大的收益. 此外为满足 RapidIO 协议 retraining, 10GBase-KR 协议 DME 训练的需求,在接收通路上设计了链路训练逻辑,采用边沿迫零采样算法对接收到的数据质量进行采样统计,通过统计值生成远端预加重电路的调节命令,从而实现远端 FFE 参数的动态调节,在本端 FFE, pre-tap, main-tap, post-tap 将作为接口输入,与上层协议进行对接,当接收到远端发送的 FFE 调节指令后,按照指令完成本端 FFE 参数的动态调节.

发送器的占空比调节电路用于对高速时钟的校正和补偿,以保障高速信号眼图的完整性,本文所设计的占空比调节电路采用典型的数字方式实现,并实现硬件实时检测及补偿,配合占空比调节电路及 SerDes 发送时钟的相偏检测,设计了时钟对齐的电路,通过实时

比较物理编码子层 PCS 发送侧并行时钟与 SerDes 发送侧并行时钟之间的相偏,对 SerDes 发送侧时钟进行相位调节,这样一方面能够满足在多通道绑定,发送通路上时钟同步带来的低延迟收益,一方面可以通过相位固定 delay,减小路径时序问题。

3.3 接收器结构设计

在接收器电路结构中,考虑到 40nm CMOS 工艺的特点,为实现 10.3125Gbps 下 32dB 的插损补偿,需要发送器 FFE 和接收器的线性均衡器 CTLE 及判决反馈均衡器 DFE 的配合实现,而在接收侧,为实现均衡能力与功耗的平衡,采用模拟和数字信号处理混合的架构,在模拟前端设计 CTLE 电路,采用并联电感峰化技术以提高 boost 能力,电路设计六级相同的均衡器级联电路,每级的均衡器 EQ 均可以通过调节寄存器改变电阻和电容的大小,调整 eq 的 boost 的大小。线性放大器 LA 电路主要基于反相器架构设计,实现线性放大和功耗最优的同时放宽时序要求。对于 DFE 电路则采用数字信号处理的架构,将 post-cursor 干扰补偿的问题放到低速的数字部分实现,降低设计复杂度,当前的 DFE 设计为 7-tap 调节,并支持基于 LMS 算法的自适应均衡,这样可以借助工艺低电压提升在数字设计上的功耗优势,降低电路功耗。接收端设计了片上眼图的电路(on-die-eyescope),结合接收信号的边沿采样及眼图特性,配合 LMS 算法实现接收均衡器参数的动态优化。

接收时钟数据恢复 CDR 采用四相位的相位插值结构实现,同时为实现热插拔及支持数据 Burst 情况下的快速锁定,在数字部分设计了一种频偏检测电路,利用恢复时钟与参考时钟之间的偏差,在协议所允许的频差范围基础上设置频偏阈值上下限值,当频差超过阈值上限时则自动触发 CDR 的重新锁定,从而实现在不同协议及速率切换时 CDR 的快速可靠锁定。

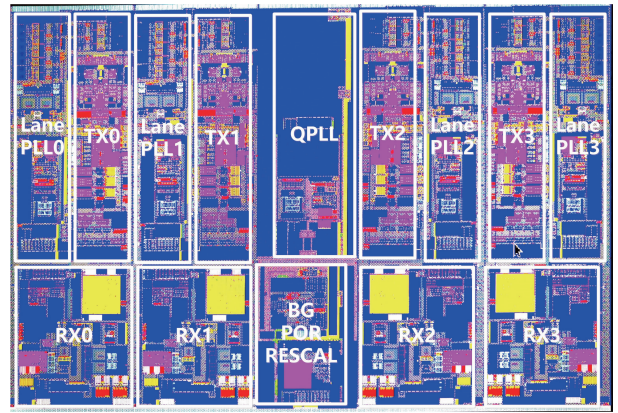


图2 多协议SerDes版图

4 芯片测试结果

本文所设计的多协议 SerDes 电路在 40nm CMOS LL 工艺上进行了流片,并覆盖了工艺全 PVT 角。如图 2 所示为电路的 layout 版图,图示显示了该 SerDes 的尺寸及时钟电路、接收器、发送器的位置。

如表 2 所示为本文所设计的多协议 SerDes 相关参数及性能指标的情况,同时与文献[11, 13, 14]进行了对比,本文通过架构的优化和折中,用很少的面积提升获得了最大限度的多协议 SerDes 应用灵活性,在功耗和面积上,采用 $4 \times \text{Lane PLL} + 1 \times \text{QPLL}$ 的架构优化代替小数分频器的设计,相比于文献[13],能够在满足 10.3125Gbps 及以下频点 PHY 层规范时,实现相近的功耗能力及更优的面积;相比于文献[14],两个设计的时钟结构基本相似,但是由于文献[14]采用了 LC 架构的 PLL,并利用了 ILL 技术实现了输出时钟的低抖动,但不可避免的会带来面积的增大。在接收随机抖动特性上,由于本设计增加了实时的频偏检测电路,使得其在接收随机抖动上的表现与参考设计相比;在均衡器设计上,尽管本文在 DFE 电路的 tap 数上更多一些,但

表 2 主要设计指标对比

主要参数指标	文献[11]设计	文献[13]设计	文献[14]设计	本文设计
工艺	40nm CMOS LL	20nm	40nm	40nm CMOS LL
电源供电	1.1/1.8V	1.2/1.0/0.95	0.9	1.1 和 1.8V
传输速率(Gbps)	2.488 ~ 11.2	0.5 ~ 32.75	3.125 ~ 28.125	1.0625 ~ 10.3125
面积(mm ²)	3.7/4 通道	5.98/4 通道	3.74/2 通道	3.84/4 通道
误码率	10^{-15}	10^{-15}	NA	10^{-12}
时钟结构	1 LC PLL	4 LC PLL + 4 Ring PLL	1 LC PLL + 2 Ring VCO	1 Ring PLL + 4 Ring PLL
上升/下降时间	38/33 ps	NA	NA	29/33 ps
插损补偿	24dB	27dB	40dB	32dB
PLL TJ	15.8ps@PRBS-11	11.7ps@PRBS-7	11.54ps@PRBS-7	21.2ps@PRBS-31
RJ(RMS)	NA	621fs	950fs	720fs
功耗(10.3125G)	30.13mW/Gbps	28.03mW/Gbps	23.60mW/Gbps	29.33mW/Gbps
封装类型	BGA	BGA	BGA	BGA
ESD 等级	2kV	NA	NA	2kV

相比于文献[13,14]所表现出来的大的插损补偿能力,本设计利用较小的面积代价提升了插损补偿的增大.整体来看,本文所设计的多协议 SerDes 相比与参考设计,在应用上能够提供相对较低的功耗以及更大范围的通道容忍范围,并且在面积上具有较好的表现.

4.1 时钟电路测试

时钟电路主要针对 PLL + TX 的抖动进行测试,测试采用 SMA 连接线将 SerDes 任意通道的发送差分对与高速实时示波器连接,通过配置 SerDes 产生不同激励测试时钟电路的电特性.如所示为针对不同协议典型速率的抖动测试结果,可以看出 10GBase-KR 及 RapidIO 3.0 协议下的 10.3125Gbps 速率在 PRBS-31 码型下测试的发端总抖动 TJ 为 21.2ps,采用 1010...码型测试的随机抖动 RJ 的 RMS 值为 633.7fs;FC-PI-4 协议下 8.5Gbps 速率在 PRBS-31 码型下测试的发端总抖动 TJ

为 28.6ps,用 1010...码型测试的随机抖动 RJ 的 RMS 值为 779.3fs,FC-PI-4 协议下频点的抖动相对较大,其原因是因为其速率经过 QPLL + Lane PLL 生成导致;RapidIO3.0 协议下 6.25Gbps 速率在 PRBS-31 码型下测试的发端总抖动 TJ 为 21.3ps,用 1010...码型测试的随机抖动 RJ 的 RMS 值为 744.6fs,6.25Gbps 速率下的抖动和 10.3125Gbps 相近,主要原因是 PLL 的 VCO 按照 6.25GHz 进行的设计,实际上是 12.5Gbps 速率的半频;1000Base-X 及 RapidIO 3.0 协议下 1.25Gbps 速率在 PRBS-31 码型下测试的发端总抖动 TJ 为 20.1ps,用 1010...码型测试的随机抖动 RJ 的 RMS 值为 720.7fs,1.25Gbps 速率下的抖动和 10.3125Gbps 相近,主要原因与 6.25Gbps 频点类似,PLL 的 VCO 按照 5GHz 进行的设计,实际上是 10Gbps 速率的分频.结果显示,所设计的多协议 SerDes 满足各个协议规范对抖动的要求.

表 3 PLL + TX 抖动测试结果

典型速率	Mean	Std Dev	Max	Min
10.3125Gbps	21.248ps	445.09fs	22.822ps	20.165ps
8.5Gbps	28.665ps	574.98fs	30.241ps	26.941ps
6.25Gbps	21.301ps	569.68fs	23.416ps	19.986ps
1.25Gbps	20.151ps	997.47fs	26.641ps	17.436ps

4.2 发送器电路测试

发送器电路主要结合各协议规范要求的眼图模板对各频点的近端眼图进行测试,测试环境与 4.1 所述相

同,在示波器中导入各协议规范的眼图模板进行测试.如图 3 所示分别给出了 10.3125Gbps (10GBase-KR, RapidIO Level III),8.5Gbps (FC-PI-4),6.25Gbps (RapidIO

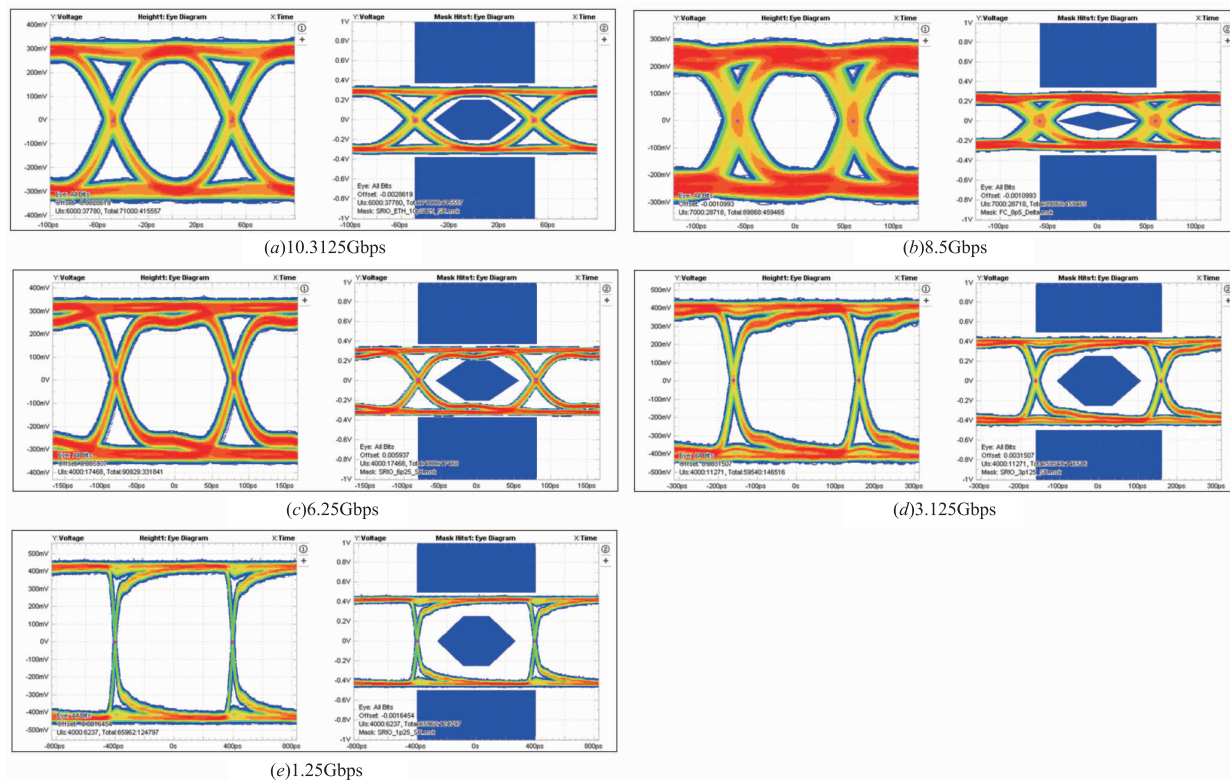
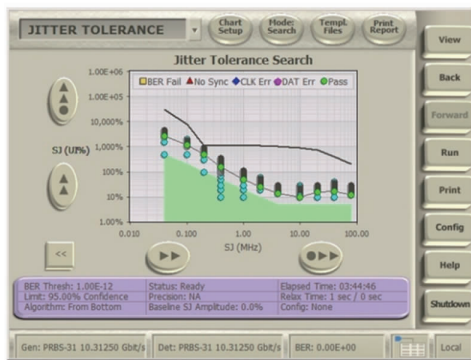


图3 近端眼图测试结果

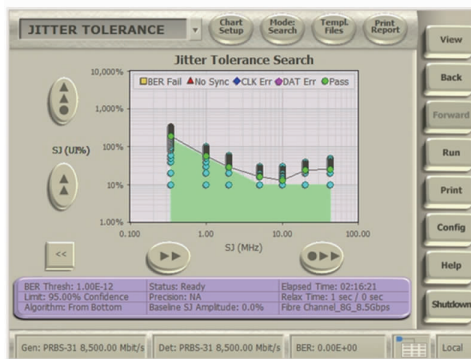
Level II), 3.125Gbps (RapidIO Level I), 1.25Gbps (1000Base-X, RapidIO Level I) 协议规范下的眼图及眼图模板测试情况, 结果显示, 所设计的多协议 SerDes 满足各个协议要求的眼图模板要求。

4.3 接收器电路测试

接收器电路主要对接收侧的抖动容限和误码率进行测试, 测试环境通过 SMA 连接线将高速误码仪的发送差分对与 SerDes 接收差分对互连, 高速误码仪的接收差分对与 SerDes 的发送差分对互连。对抖动容限的测试主要通过各个协议规定的模板进行, 抖动容限的测试方式是将 SerDes 配置为 RX 到 TX 并行数据环回, 经过 PCB 10cm 的走线长度, 然后通过 PRBS-31 码型进行测试, 测试误码率设置为 10^{-12} , 误码上限设置为 1, 误码率测试置信度按照 95% 设置。如图 4 所示分别给出了 10.3125Gbps 速率及 8.5Gbps 速率下抖动容限的测试结果。结果显示, 所设计的多协议 SerDes 接收侧的抖动容限及误码率均能够满足协议要求。



(a) 10.3125Gbps测试结果



(b) 8.5Gbps测试结果

图4 抖动容限测试

5 结束语

本文基于 40nm 低功耗工艺设计了一种应用于软件定义互连系统的多协议高速 SerDes 电路, 时钟结构上提出一种 $1 \times \text{QPLL} + 4 \times \text{Lane PLL}$ 的时钟结构, 以满足系统单频率参考时钟输入需求下的多频点输出; 发

送侧采用一种双路驱动 Buffer MUX 的架构, 在兼顾工艺特性的同时实现最优效能; 接收侧采用一种数字频偏检测电路确保满足应用需求的 CDR 可靠锁定。所设计的电路在功耗及通道衰减补偿上具有较好的效果, 能够 FC-PI-4, RapidIO 3.0, 10GBase-KR, 1000Base-X 的协议规范要求。后续还将在协议扩展, 自适应均衡及低抖动设计等方面进行优化, 以适应软件定义系统更广泛, 更简便和更可靠的应用。

参考文献

- [1] 吕平, 等. 新一代软件定义体系结构[J]. 中国科学: 信息科学, 2018, 48(03): 315–328.
Lv Ping, et al. New generation software-defined architecture [J]. Sci Sin Inform, 2018, 48(03): 315–328. (in Chinese)
- [2] Wang Yang-yuan. The driving force for development of IC and system in future: reducing the power consumption and improving the ratio of performance to power consumption [J]. Science China Information Sciences, 2011, 54(5): 915–935.
- [3] Raghavendra R G, Rathor B S. A 1-tap 10.3125Gb/s programmable voltage mode line driver in 28nm CMOS technology [A]. International Conference on VLSI Design [C]. Kolkata, India; IEEE, 2016. 174–178.
- [4] Jia F W, et al. A fractional-N frequency divider for multi-standard wireless transceiver fabricated in 0.18 μm CMOS process [J]. Journal of Semiconductor, 2017, 38(12): 1–8.
- [5] Masum H, et al. Fractional-N DPLL based low power clocking architecture for 1–14 Gb/s multi-standard transmitter [A]. Asian Solid-State Circuits Conference [C]. Toyama, Japan; IEEE, 2016. 89–92.
- [6] Liu S L, et al. A wide lock-range, low jitter phase-locked loop for multi-standard SerDes application [A]. International Conference on ASIC [C]. Xiamen, China; IEEE, 2011. 1091–1094.
- [7] Chattopadhyay B, et al. A 12.5Gbps transmitter for multi-standard SerDes in 40nm low leakage CMOS process [A]. International Conference on VLSI Design [C]. Pune, India; IEEE, 2018. 13–18.
- [8] Yokoyama-Martin DA, et al. A multi-standard low power 1.5–3.125 Gb/s serial transceiver in 90 nm CMOS [A]. Custom Integrated Circuits Conference [C]. San Jose, California, USA; IEEE, 2006. 401–404.
- [9] Hou Z, Yang F, et al. A power efficient 1.0625–3.125 Gb/s serial transceiver in 130 nm digital CMOS or multi-standard applications [J]. Sci China Inf Sci, 2014, 57(06): 1–10.
- [10] Hiroshi K, et al. A 28 Gb/s 560 mW multi-standard SerDes with single-stage analog front-end and 14-tap decision

- feedback equalizer in 28 nm CMOS [J]. IEEE Journal of Solid-State Circuits, 2014, 49(12): 1–13.
- [11] Vamvakos S D, et al. A 2.488–11.2 Gb/s multi-protocol SerDes in 40nm low-leakage CMOS for FPGA [A]. International Midwest Symposium on Circuits and Systems [C]. Boise, Idaho, USA; IEEE, 2012. 5–8.
- [12] Yoon J, Kwon S, Bae H, et al. A DC-to-12.5 Gb/s 9.76 mW/Gb/s all-rate CDR with a single LC VCO in 90 nm CMOS [J]. IEEE Journal of Solid-State Circuits, 2017, 52(3): 856–866.
- [13] Upadhyaya P, Savoj J, An F, et al. A 0.5-to-32.75Gb/s flexible-reach wireline transceiver in 20nm CMOS [A]. Solid-State Circuits Conference [C]. San Francisco, California, USA; IEEE, 2015. 1–3.
- [14] Yoon J, Kwon K, Bae H, et al. 3.125 to 28.125 Gb/s 4.72 mW/Gb/s multi-standard parallel transceiver supporting channel-independent operation in 40-nm CMOS [J]. IEEE Transactions on Circuits and Systems I-regular Papers, 2020, 67(8): 2647–2658.

作者简介



李沛杰 男, 1990 年出生于山西襄汾, 现为战略支援部队信息工程大学助理研究员, 主要研究方向为高速接口设计, 软件定义互连技术, 现代 SoC 设计技术。
E-mail: lpj@ndsc.com.cn



沈剑良 男, 1982 年出生于浙江德清, 现为战略支援部队信息工程大学副教授, 主要研究方向为高速接口设计, 系统体系结构设计技术, 现代 SoC 设计技术。
E-mail: sjl@ndsc.com.cn



苑红晓 男, 1974 年出生于山东济南, 硕士, 32125 部队高级工程师, 主要研究方向为计算机网络安全。
E-mail: 414128191@qq.com



王永胜 男, 1987 年出生于辽宁葫芦岛, 硕士, 信息技术创新中心高级工程师, 主要研究方向为高速接口测试技术。
E-mail: wangyongsheng@tj.ndsc.com.cn



夏云飞 男, 1987 年出生于黑龙江海伦, 硕士, 信息技术创新中心高级工程师, 主要研究方向为雷达信号处理, 现代 SoC 设计技术。
E-mail: xiayunfei1987@126.com



张传波 男, 1990 年出生于河南商丘, 硕士, 战略支援部队信息工程大学工程师, 主要研究方向为高速接口仿真验证技术, 现代 SoC 设计技术。
E-mail: 815573079@qq.com